

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-167732

(43)Date of publication of application : 03.07.1989

(51)Int.Cl.

G02F 1/133

G02F 1/17

H01L 49/02

(21)Application number : 62-325696

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.12.1987

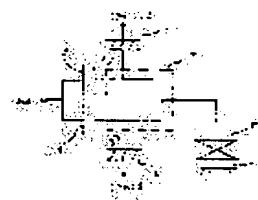
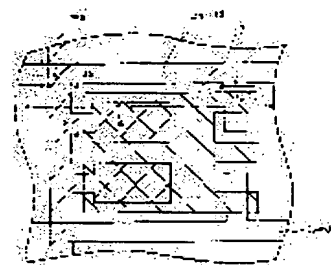
(72)Inventor : SATO TAKASHI

## (54) ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To prevent a picture element unit from becoming defective by connecting a picture element electrode of an mn address to an (m)th data line through two built-in capacitors or two nonlinear elements, and connecting (2n-1)th and (2n)th scanning lines to picture element electrodes through nonlinear electrodes or built-in capacitors.

**CONSTITUTION:** The nonlinear elements 1 and 2 are formed of nonlinear element layers sandwiched between scanning lines (2n-1)S and (2n)S, and the built-in capacitors 3 and 4 are formed of dielectric layers sandwiched between a data line md and a picture element electrode 7. Even when such a defect as a short circuit is caused, there are two write routes A and B, so the display state of a picture element unit is corrected into a normal state. Consequently, the picture unit never becomes defective by the use of an active matrix substrate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-167732

⑬ Int.Cl.<sup>4</sup>

G 02 F 1/133

H 01 L 49/02

識別記号

3 2 6

1 0 5

庁内整理番号

7370-2H

7204-2H

7733-5F

⑭ 公開 平成1年(1989)7月3日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-325696

⑰ 出 願 昭62(1987)12月23日

⑱ 発 明 者 佐 藤 尚 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

絶縁基板上に水平方向にx個、垂直方向にy個の画素ユニットを有するアクティブマトリクス基板において、前記画素ユニット当り2本、計2y本の水平方向の走査線と前記画素ユニット当り1本、計x本のデータ線を有し、mn番地( $1 \leq m \leq x$ 、 $1 \leq n \leq y$ )の前記画素ユニットの画素電極がm本目の前記データ線と2つの作り込み容量または2つの非線形素子を介して接続され、また $2n-1$ 、 $2n$ 本目の前記走査線と前記画素電極が前記非線形素子または前記作り込み容量を介して接続されて成ることを特徴とするアクティブマトリクス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶、エレクトロクロミズム、エレクトロルミネッセンス、プラズマなどを用いた平面ディスプレイのアクティブマトリクス基板に関する。

(従来の技術)

従来、SID(Society For Information Display) International Symposium Digest of Technical Papers / Volume XVII P155~158に記載されているように、液晶と非線形素子から成る1対の直列容量を走査線とデータ線に配置して構成した画素ユニットを2次元的に配置したアクティブマトリクス基板が知られていた。

(発明が解決しようとする問題点)

しかし、従来のアクティブマトリクス基板は次のような問題点を有していた。すなわち、液晶と非線形素子の1対の容量結合で画素ユニットが構成されているため、非線形素子に欠陥が生じると画素ユニットが欠陥となる。また、非線形素子に大きな電圧を印加するために、非線形素子の容量

を液晶の容量よりもかなり小さくしなくてはならず、そのためには非線形素子をLSIプロセスで用いられているような微細加工技術を用いて形成しなければならないため大面積のアクティブマトリクス基板を量産性良く生産するのは困難であった。

そこで、本発明は従来のこのような問題点を解決するものであり、目的とするところは、画素ユニットが欠陥とならず、量産性良く大面積のアクティブマトリクス基板を生産できるアクティブマトリクス基板を提供することである。

〔問題点を解決するための手段〕

本発明のアクティブマトリクス基板は、絶縁基板上に水平方向に $x$ 個、垂直方向に $y$ 個の画素ユニットを有するアクティブマトリクス基板において、前記画素ユニット当り2本、計 $2y$ 本の水平方向の走査線と前記画素ユニット当り1本、計 $x$ 本のデータ線を有し、 $m$ 番地( $1 \leq m \leq x$ 、 $1 \leq n \leq y$ )の前記画素ユニットの画素電極が $m$ 本目の前記データ線と2つの作り込み容量または2

つの非線形素子を介して接続され、また $2n-1$ 、 $2n$ 本目の前記走査線と前記画素電極が前記非線形素子または前記作り込み容量を介して接続されて成ることを特徴とする。

〔実施例〕

本発明の実施例を図面に基づいて説明する。第1図は本発明にかかるアクティブマトリクス基板の等価回路図である。画素ユニット6が水平方向に $x$ 個、垂直方向に $y$ 個ほどマトリクス状に配置されている。各画素ユニット6は1本のデータ線 $md$  ( $1 \leq m \leq x$ )と画素電極7間に配置された2つの作り込み容量3、4と2本の走査線( $2n-1$ )S、( $2n$ )Sと画素電極7間に配置された非線形素子1、2から構成されている。第1図中において、画素電極7と共通電極8間に液晶5が接続されている。共通電極8はアクティブマトリクス基板と対向する対向基板上にストライプ状あるいはベタ電極として設けられており、液晶5は前記両者の基板間に保持されている。

第1図において、非線形素子1、2と作り込み

容量3、4の位置を取り換えて用いても良い。第1図において、非線形素子は非線形な電流-電圧特性を、あるいは強誘電体のように電圧により表面電荷量を制御できる素子である。

第2図(a)、(b)に本発明のアクティブマトリクス基板を用いた液晶パネルの画素ユニット6の上視図、断面図を示す。第2図(b)は第2図(a)中A-A'における断面図である。ガラス基板より成る絶縁基板12上に形成されたITOより成るデータ線 $md$  ( $1 \leq m \leq x$ )、前記データ線上に形成されたポリイミドより成る誘電体層10、前記誘電体層上に形成されたITOより成る画素電極7、前記画素電極7上に形成されたVDF(フッ化ビニリデン)とTrFE(トリフルオロエチレン)との共重合体から成る非線形素子層11、前記非線形素子層11上に形成されたA1から成る走査線( $2n-1$ )S、( $2n$ )S ( $1 \leq n \leq y$ )から成るアクティブマトリクス基板 $\alpha$ と、ガラス基板より成る絶縁基板13上に形成されたITOから成る共通電極8より成る対向

基板 $\beta$ の間に液晶5を保持した液晶パネルである。

第2図(a)、(b)において、非線形素子1、2は走査線( $2n-1$ )S、( $2n$ )Sと画素電極7ではさまれた非線形素子層11により形成されており、作り込み容量3、4はデータ線 $md$ と画素電極7ではさまれた誘電体層10により形成されている。

第2図において、液晶5の代わりにエレクトロクロミズム材料、気体、エレクトロルミネッセンス材料を用いても良い。

第2図において、絶縁基板12、13として、ガラス基板以外にセラミックなどの無機絶縁基板、プラスチックなどの有機絶縁基板を用いても良い。データ線 $md$ 、画素電極7、共通電極8として、ITO以外の導電材料、例えば金属、透明導電膜、半導体、シリサイド、導電性高分子、導電性塗料、超伝導材料などを用いても良い。誘電体層10として、ポリイミド以外の誘電体材料、例えば $SiO_2$ 、 $SiNx$ 、 $TaOx$ 、 $TiOx$ 、 $SiON$ 、 $ZnO$ などの金属あるいは半導体材料の酸化物、

あるいはGaAs、Si、ZnSなどの半導体材料、またはVDFとTrFEの共重合体などの含フッ素系の有機材料などの有機材料などを単層または複層にして用いても良い。走査線(2n-1)S、(2n)Sとして、Al以外の金属、透明導電膜、半導体、シリサイド、導電性高分子、導電性塗料、超伝導材料を用いても良い。また、非線形素子層11として、VDFとTrFEの共重合体以外の有機強誘電体材料、例えばポリフッ化ビニリデン、VDFとテトラフルオロエチレンとの共重合体などを、またチタン酸バリウムなどの無機強誘電体層を、またSiOx、SiON、SiNx、TaOx、ヒ化セレンなどの非線形電流-電圧特性を示す半絶縁材料を用いても良い。

また、第2図(a)、(b)において、走査線(2n-1)S、(2n)Sはデータ線mdよりも上に形成されているが、両者の位置関係を逆にして、絶縁基板12上から、走査線(2n-1)S、(2n)S、非線形素子層11、画素電極7、誘電体層10、データ線mdの順に形成しても良

転する。また、画素電極7に書き込まれる電圧の絶対値の大小は、非線形素子1、2と作り込み容量3、4の直列容量に印加される電圧、すなわち走査線(2n-1)S、(2n)Sとデータ線mdに与えられる電圧の組み合わせで決まる。すなわち、

$$|V_A| = |V_0 + V_1| \quad \dots \textcircled{1}$$

$$|V_B| = |V_0 - V_1| \quad \dots \textcircled{2}$$

である。この際、非線形素子1、2に大きな電圧をかけ、非線形素子中に電流を流さなくてはならない。そのためには、非線形素子1、2、作り込み容量3、4の容量をC<sub>nl</sub>、C<sub>s</sub>とすると、

$$C_{nl} \ll C_s \quad \dots \textcircled{3}$$

であれば良い。また、③式の関係は非線形素子1、2と作り込み容量3、4の間だけで成立し、液晶の容量C<sub>ll</sub>は無関係である。そのため、非線形素子1、2と作り込み容量3、4との設計の自由度は広がり、大きなバターンルールで非線形素子1、2を作ることができる。そのため、量産性良く、大面積のアクティブマトリクス基板を製造するこ

い、また、単に走査線(2n-1)S、(2n)Sとデータ線mdの位置を逆にしても良い。

第3図(a)、(b)を用いて本発明のアクティブマトリクス基板を用いた液晶パネルの画素ユニット6当りの駆動方法を示す。第3図(a)は画素ユニット6の等価回路図であり、第3図(b)はデータ線md、走査線(2n-1)S、(2n)Sに印加される電圧波形である。走査線(2n-1)S、(2n)Sには、V<sub>0</sub>電位を基準として、一水平走査期間1Hの間に±V<sub>0</sub>の電位が与えられる。データ線mdには、V<sub>0</sub>電位を基準として、±V<sub>0</sub>の電位が与えられる。V<sub>0</sub>電位は共通電極8と同電位であっても異なっても良い。走査線(2n-1)Sと(2n)Sは2フィールド毎に交互に選択される。走査線(2n-1)Sが選択された際は第2図(a)中Aで示したルートで画素電極7に電圧が書き込まれ、走査線(2n)Sが選択された際は同図中Bで示したルートで同様に電圧が書き込まれる。また、画素電極7に印加される電圧は各フィールド毎に正負の極性が反

とができる。

2次元的にx×y個の画素ユニット6が配置された液晶パネルの駆動を第4図に示す。奇数の走査線1S～(2y-1)Sが選択されるフィールドでは、第3図(a)中のAルートで電圧が書き込まれ、偶数の走査線2S～(2y)Sが選択されるフィールドでは、第3図(a)中のBルートで電圧が書き込まれる。第4図では奇数、偶数の走査線は2フィールド毎に選択されたが、1フィールド毎に選択しても良い。また、画素ユニット内の2本の走査線に同じタイミングで同じ電圧を印加し、2つの非線形素子に同時に電圧を印加して駆動しても良い。

また、次のように、ショート欠陥が生じてもA、B2つの書き込みルートがあるため、画素ユニットの表示状態を正常状態に修正することができる。ショート欠陥は第2図(a)に示したように走査線(2n-1)S、(2n)Sとデータ線md間のショートP、作り込み容量部のショートQ、非線形素子部のショートRの3つの場合があ

る。ショートPの場合は縦横に走る線欠陥が生じるが、これは $a_1$ 、 $a_2$ 、 $c$ 、 $d$ を切断することにより修正することができる。正常、修正後の表示状態を決定する画素電極7の電位は、切断場所により、

$$V_3(\text{正常}) = \frac{2Q_{NL}}{2(C_{NL} + C_s) + C_{LC}}$$

$$V_4(\text{修正後}) = \frac{Q_{NL}}{C_{NL} + C_s + C_{LC}}$$

( $a_1$ 、 $a_2$ 、 $c$ 、 $d$ を切断)

( $Q_{NL}$ は非線形素子1、2により画素電極7に書き込まれる電荷)

となる。ここで $C_{NL} < C_s$ であり、さらに $C_{LC} < C_s$ であるように設定すると、

$$V_3(\text{正常}) = V_4(\text{修正後})$$

となり、正確に修正することができる。この場合 $a_1$ 、 $a_2$ 、 $c$ または $a_1$ 、 $a_2$ 、 $d$ あるいは $a_1$ 、 $a_2$ を切断しても良い。また、正確に修正するために $C_{LC} < C_s$ であることが望ましい。ショートRの場合は $c$ と $d$ を切断する。その際の画素

電極7の電位は $V_4$ (修正後)となり、正確に修正される。ショートQの場合は $c$ または $c$ と $d$ を切断することにより修正できる。 $c$ と $d$ を切断した際の画素電極7の電位は $V_4$ (修正後)となり正確に修正できる。このように本発明のアクティブマトリクス基板を用いると欠陥となる画素ユニットは生じない。また $C_{LC} < C_s$ に設定すると、垂直方向のクロストーク低減にも効果がある。

欠陥部分は、外観検査、あるいは奇数、偶数の定査線の片方だけを用いてアクティブマトリクス基板を駆動し、画素電極7の電位または液晶の表示状態を調べることにより発見できる。

〔発明の効果〕

本発明の効果を以下に述べる。

- (1) 本発明のアクティブマトリクス基板を用いると、すべての画素ユニットが欠陥とならない。
- (2) 本発明のアクティブマトリクス基板は大きなパターンルールで形成されるため、量産性良く大面積のアクティブマトリクス基板を生産できる。

#### 4. 図面の簡単な説明

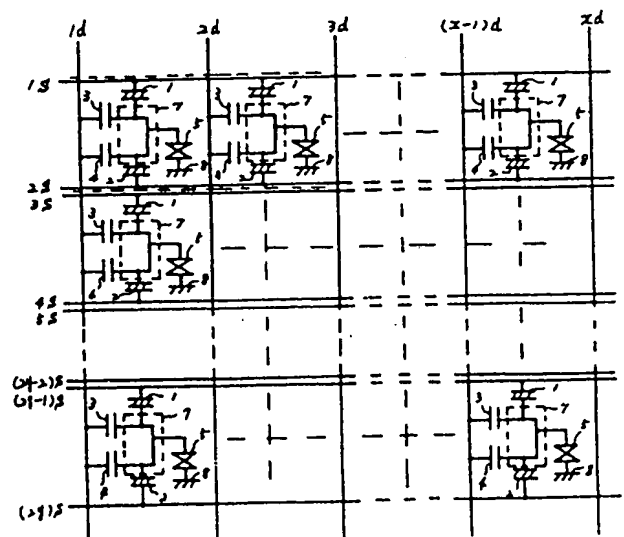
第1図は本発明のアクティブマトリクス基板の等価回路図、第2図(a)、(b)は本発明のアクティブマトリクス基板を用いた液晶パネルの画素ユニットの上視図および断面図、第3図(a)、(b)は液晶パネルの画素ユニットの等価回路図、駆動波形図、第4図は液晶パネルの駆動波形図である。

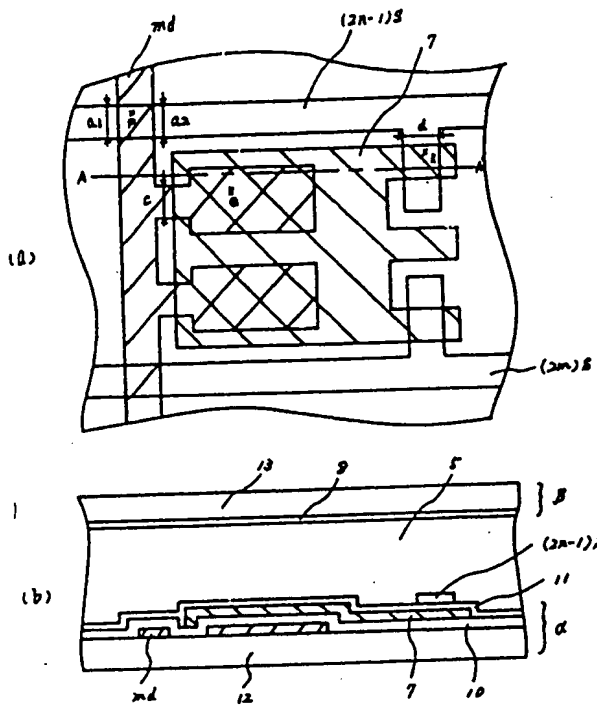
- 1、2・・・非線形素子
- 3、4・・・作り込み容量
- 6・・・画素ユニット
- 7・・・画素電極

以上

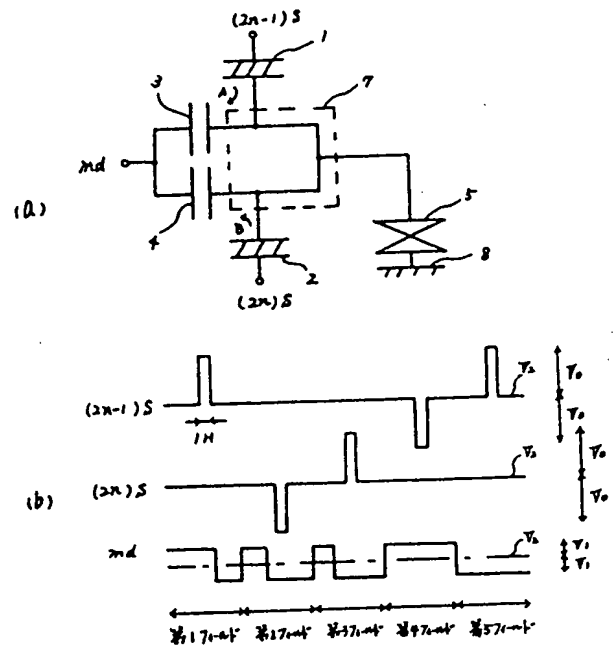
出願人 セイコーエプソン株式会社  
代理人 井理士 最上 (他1名)

- 1 ... 非線形素子
- 2 ... "
- 3 ... 作り込み容量
- 4 ... "
- 6 ... 画素ユニット
- 7 ... 画素電極

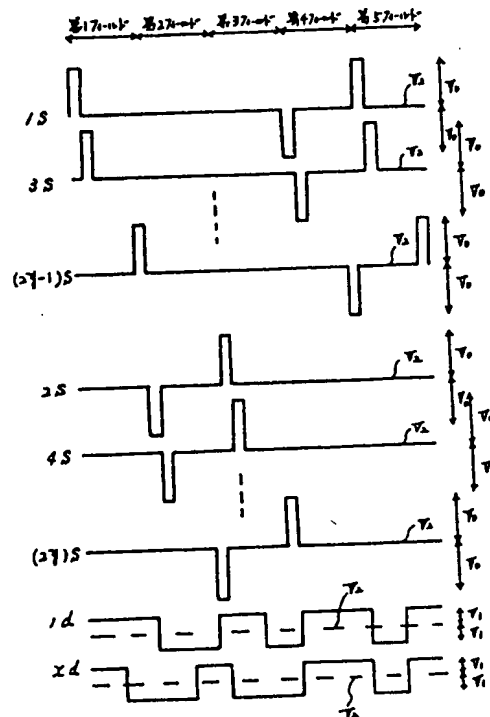




第 2 図



第 3 図



第 4 図